



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05226638 A**(43) Date of publication of application: **03.09.93**

(51) Int. Cl. **H01L 29/48**  
**// H01L 21/331**  
**H01L 29/73**  
**H01L 21/338**  
**H01L 29/812**

(21) Application number: **04057163**(22) Date of filing: **07.02.92**(71) Applicant: **SHINDENGEN ELECTRIC MFG CO LTD**

(72) Inventor: **WAKATABE MASARU**  
**KURI SHINJI**  
**SUGA TAKASHI**

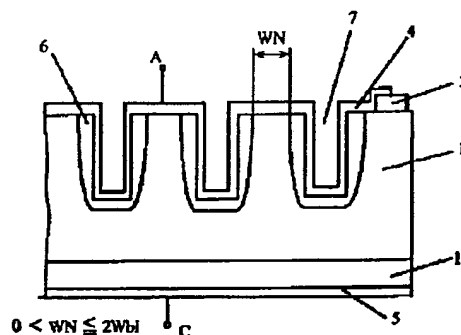
**(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

**PURPOSE:** To reduce inverse leak current and improve forward characteristics and switching characteristics by constituting the relationship between the minimum width of a semiconductor region of one conductivity type sandwiched by a pair of semiconductor regions of the opposite conductivity type and the width of a zero-potential depletion layer determined by specific resistances of the semiconductor regions of the two conductivity types.

**CONSTITUTION:** The width  $W_{bi}$  a zero-potential depletion layer is determined by specific resistances between a one-conductive a semiconductor region 1 of one conductivity type and an inverse-conductive type semiconductor regions 6 of the opposite conductivity type. The minimum width  $W_N$  of the semiconductor region 1, which is sandwiched by a pair of semiconductor regions 6, is in a relationship  $0 < W_N \leq 2W_{bi}$ . Then, an electrode 4 is provided over the surface of the semiconductor 1 and that of the semiconductor region 6 and the electrode 4 forms Schottky contact or ohmic contact with the surface of the semiconductor 1 and then ohmic contact with the semiconductor region 6, thus

obtaining low-loss, high breakdown voltage, and high-speed characteristics.

COPYRIGHT: (C)1993,JPO&amp;Japio


**BEST AVAILABLE COPY**

特開平5-226638

(43) 公開日 平成5年(1993)9月3日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/48

F 7738-4M

// H 0 1 L 21/331

29/73

7377-4M

H 0 1 L 29/72

9171-4M

29/80

B

審査請求 未請求 請求項の数4(全 6 頁) 最終頁に続く

(21) 出願番号

特願平4-57163

(22) 出願日

平成4年(1992)2月7日

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 若田部 勝

埼玉県飯能市南町10番13号新電元工業株式  
会社工場内

(72) 発明者 九里 伸治

埼玉県飯能市南町10番13号新電元工業株式  
会社工場内

(72) 発明者 菅 孝

埼玉県飯能市南町10番13号新電元工業株式  
会社工場内

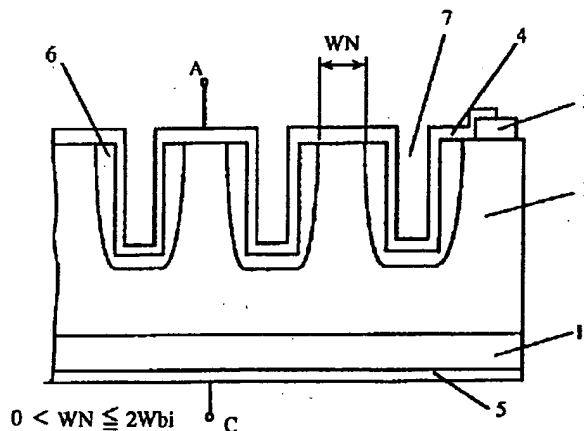
(54) 【発明の名称】 半導体装置

(57) 【要約】

(修正有)

【目的】 逆漏れ電流の極めて小さい、低損失、高耐圧、かつ高速の半導体装置を得る。

【構成】 一对の逆導電型半導体領域(例えばP+)ではさまれた一導電型半導体(例えば、N)の最短距離をWN、一導電型半導体と逆導電型半導体領域の比抵抗で決まる零電位の空乏層幅をWbiとしたとき、 $0 < WN \leq 2Wbi$ であるように構成したことを特徴とする。



## 【特許請求の範囲】

【請求項1】 一導電型半導体の表面に複数の逆導電型半導体領域を形成し、該逆導電型半導体領域ではさまれた一導電型半導体の表面に電極を設けた半導体装置において、一対の逆導電型半導体領域ではさまれた一導電型半導体の最短距離を $W_N$ 、一導電型半導体と逆導電型半導体領域の比抵抗で決まる零電位の空乏層幅を $W_{bi}$ としたとき、 $0 < W_N \leq 2 W_{bi}$ であるように構成したことを特徴とする半導体装置。

【請求項2】 一導電型半導体の表面と逆導電型半導体領域にまたがって電極を設け、その電極は一導電型半導体の表面とはショットキ接触又はオーミック接触を形成し、逆導電型半導体領域とはオーミック接触を形成していることを特徴とする請求項1の半導体装置。

【請求項3】 一対の逆導電型半導体領域ではさまれた一導電型半導体内に生じる電子ポテンシャルの高さが、一導電型半導体の表面と電極のみの構成によって生じる電子ポテンシャルの高さより大きくなるように構成したことを特徴とする請求項1又は請求項2の半導体装置。

【請求項4】 一導電型半導体の表面形状を凹凸状とし、その凹部の底面又は側面又はそれら両面に逆導電型半導体領域を形成したことを特徴とする請求項1、請求項2、又は請求項3の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の構造に関するものである。

## 【0002】

【従来の技術】 周知のように、半導体装置の特性、特に、順方向特性、逆方向特性、及びスイッチング特性の改善のための開発が進められ、種々の構造が提案されている(2)る。

【0003】 図1に、周知のショットキバリア型半導体装置の断面構造図を示す。1は一導電型半導体(例えばN型)、1'は高濃度一導電型半導体(例えばN+型)、2はガードリング領域(例えばP+型)、3は絶縁膜、4は電極、5はオーミック電極である。このような構造では、ガードリング領域2の形成により耐圧を高めているが、電極4と一導電型半導体1の接触の中央部における逆漏れ電流を減少していない。又、図1の従来構造を改善するため、特公昭59-35183等が提案されている。

## 【0004】

【発明が解決しようとする課題】 半導体装置の利用上、前記せる従来構造より、更に、逆漏れ電流が小さく、しかも順方向特性及びスイッチング特性がPN接合構造のそれらより改善された半導体装置が要求されている。

## 【0005】

【課題を解決するための手段】 一導電型半導体の表面に複数の逆導電型半導体領域を形成し、該逆導電型半導体

領域ではさまれた一導電型半導体の表面に電極を設けた半導体装置において、一対の逆導電型半導体領域ではさまれた一導電型半導体の最短距離を $W_N$ 、一導電型半導体と逆導電型半導体領域の比抵抗で決まる零電位の空乏層幅を $W_{bi}$ としたとき、 $0 < W_N \leq 2 W_{bi}$ であるように構成することを基本的な特徴とするものであり、それにより前記の課題を解決する。

## 【0006】

【実施例】 図2及び図3は本発明の実施例を示す断面構造図であり、図1と同一符号は同一部分をあらわす、一導電型半導体1の表面形状を、図2では平面状に、又、図3では凹凸状とした実施例である。(3)

【0007】 6は逆導電型半導体領域(例えば、P+型)であり、一導電型半導体1と逆導電型半導体領域6の比抵抗で決まる零電位の空乏層幅を $W_{bi}$ としたとき、一対の逆導電型半導体領域6ではさまれた一導電型半導体1の最短距離 $W_N$ が $0 < W_N \leq 2 W_{bi}$ の関係にあることが、本発明の主たる特徴である。

【0008】 電極4として周知のバリア金属を用いた本発明構造のショットキバリア半導体装置を製作し、図4に逆方向特性図、図5に順方向特性図、及び図6にスイッチング特性図をそれぞれ示し、本発明構造の優れた特性を、従来構造の特性に対比した。いずれもa及びbの曲線が本発明構造による特性を示し、従来構造として、図1の構造のものと、図2の形状であっても一導電型半導体1の最短距離 $W_N$ と零電位の空乏層幅 $W_{bi}$ の関係が $W_N > 2 W_{bi}$ の構造のものを比較のために示した。

【0009】 図2及び図3の電極4は一導電型半導体1の表面と逆導電型半導体領域6の表面にまたがって設けられているが、実施の態様によっては必ずしもまたがって設ける必要はなく、少なくとも一対の一導電型半導体1の表面に存在すればよい。又、1又は6の表面の全部をおおわず、部分的に設けてもよい。

【0010】 電極4の材料としてはショットキ接触をなすバリア金属でなくともよく、オーミック金属、その他の導電材料など電極を形成し得る材料のいずれであってもよい。

【0011】 次いで、本発明構造の作用を具体的な実施例にもとづいて説明する。図7は電子ポテンシャルダイアグラムであり、a及びbに本発明構造の曲線を示した。N型半導体1とショットキバリア金属4が0.5 eVの接触電位、N型半導体1として $5 \Omega \text{ cm}$ 比抵抗、 $W_N$ として $0.5 \mu \text{ m}$ 、P+半導体領域6は不純物表面濃度 $1 \times 10^{20} \text{ Atoms/cm}^3$ 、Side Diffusion Ratio 0.1(4)、P+半導体領域6の拡散深さ $2 \mu \text{ m}$ 、P+半導体領域6の幅 $2 \mu \text{ m}$ の場合における一対のP+半導体領域6の最短距離 $W_N$ の中央点0からN型半導体1の深さ方向への距離Xに至る電子ポテンシャルを示している。図7のごとく、 $W_N > 2 W_{bi}$ の従来構造ではみられない電子ポテンシャルのもち上がり現象が生じた。

【0012】即ち、N型半導体1と電極4によるショットキ接触電位 $\phi_M$ 、P+半導体領域6ではさまれるN型半導体1内の伝導帯ポテンシャル $\phi_X$ 、図1のごとくN導電型半導体1と電極4のみの構成によって生じるN導電型半導体1内の伝導帯ポテンシャルを $\phi_N$ としたとき、a曲線による $\phi_M \geq \phi_X > \phi_N$ 、又はb曲線による $\phi_M < \phi_X$ の状態を形成できる。

【0013】前記の最短距離WNと零電位の空乏層幅Wb<sub>i</sub>の関係でみると、WN>2Wb<sub>i</sub>のときは、C曲線のようなポテンシャル分布となり、WNの中心線上のポテンシャルは、元のN型半導体の伝導帯及び価電帯の高さとなる。しかして、WN=2Wb<sub>i</sub>のときは、P+半導体領域から延びるポテンシャルの中心線OX上におけるxの位置での伝導帯ポテンシャルは $\phi_N$ に一致する。又、WN<2Wb<sub>i</sub>のときは、中心線OX上のポテンシャルは $\phi$ より高い位置で、二つのP+半導体領域から延びるポテンシャルが交差する。従って、図7のa及びbに示すように、中心線OX上のN型半導体は不純物濃度を操作することなく、隣接するP+半導体領域の距離を接近させるだけで、高いポテンシャルを得られる。このことは、ポテンシャル $\phi_X$ をもつ擬似P領域を形成したことになる。

【0014】本発明構造は、擬似P領域の形成によって、P+半導体領域6ではさまれるN型半導体内の伝導帯ポテンシャル $\phi_X$ は、 $\phi_M \geq \phi_X > \phi_N$ 、又は $\phi_M < \phi_X$ の状態に変化し得る。(5)

【0015】 $\phi_M \geq \phi_X > \phi_N$ の場合、順方向特性は、図5のa曲線で示され、主として、 $\phi_M$ の高さで決まる。逆方向特性については、 $\phi_M$ で決まるのみでなく、 $\phi_X$ が形成する電極4とN型半導体1の接合面における電界強度Eは、図1の構造、及びWN>2Wb<sub>i</sub>の構造に較べて、前記せる擬似P領域の形成による $\phi_X$ の増加分だけ電界強度Eが小さくなる。従って、逆漏れ電流は、公知の逆漏れ電流の式から明らかなように減少し、電圧依存性も小さくなり、図4のa曲線のごとく優れた特性を示す。又、 $\phi_M = \phi_X$ の場合、接合を横切る電界強度Eは、ほぼ、零となるため、逆漏れ電流は、そのバリア金属で決まるショットキバリア・ダイオードとして最小の飽和電流値になる。

【0016】 $\phi_M < \phi_X$ の場合、順方向及び逆方向特性は、ショットキ接触電位 $\phi_M$ の高さで支配されなくなり、 $\phi_X$ の高さで支配される特性となる。即ち、逆漏れ電流は、前記の最小の飽和電流値より、更に小となり、図4のb曲線のようにになる。しかしながら、順方向特性は、 $\phi_X$ に見合うだけのしきい値電圧が必要になり、ダイオードとしての順方向電圧降下V<sub>F</sub>はb曲線のように若干、大とならざるを得ない。ただし、点線で示すようにPIN接合のしきい値電圧より小となる。

【0017】次いで、図6のスイッチング特性図について説明する。t<sub>rr</sub>は、順方向電流通電時から逆極性にス

イッチしてキャリアが消滅するまでの、いわゆる逆回復時間である。例えば、N型高抵抗層として5Ω・cm、厚さ30μmのシリコンに、P+型高濃度層として表面濃度 $1 \times 10^{20}$  Atoms/cm<sup>3</sup>の接合深さ3μm、接合面積1cm<sup>2</sup>を形成したPIN接合では、175Ampの順方向電流通電時から逆方向電圧50Vでスイッチすると約400nsecのt<sub>rr</sub>を必要とする。

【0018】本発明構造の0<WN≤2Wb<sub>i</sub>で、Ti金属とN型半導体をショットキ接触し、(6)P+半導体領域とはオーミック接触させ、その他の構造条件を前記のPINと同等とした場合は、図6のようにt<sub>rr</sub>を50nsec以下にできた。

【0019】そのメカニズムを本発明構造の $\phi_M \geq \phi_X > \phi_N$ と $\phi_M < \phi_X$ の二つの実施態様に分けて説明する。 $\phi_M \geq \phi_X > \phi_N$ の範囲では、図7のポテンシャル分布でわかるように $\phi_M$ の影響の大なる範囲であり、Tiショットキ性の少数キャリアの注入そのものが少ないこと、及びWNの比較的広いことから、図1のような単純なショットキ接合同等の短いt<sub>rr</sub>、即ち、数nsec~20nsecの高速を得る。

【0020】 $\phi_M < \phi_X$ の範囲では、図8の電子ポテンシャルダイアグラムに示すように、外部電圧が印加されなくとも、P+半導体領域の深さ形成領域における伝導帯EC及び価電子帯EVに $\phi_M$ よりもエネルギーレベルの高いコブ状ポテンシャルが形成される。又、価電子帯EVのコブ状ポテンシャルの上端はP+半導体領域の価電子帯に可成り近づくため、順方向電流の通電期間中にホールがコブ状ポテンシャル形成部分に蓄積される。その結果、WNの距離が2Wb<sub>i</sub>よりも十分せまく、完全に空乏化すべき距離にありながら、コブ状ポテンシャル形成部分に多量のホールを蓄積し、前記せる擬似P領域の形成を容易とする。この疑似P領域はP+半導体領域ではさまれたN型半導体の表面に設けた電極の直下のN型半導体内に形成される。しかも、電気的中性条件を満たすため、コブ状ポテンシャル形成部分の伝導帯にもホールと同等濃度の電子が存在しており、ショットキ接触に向かって強いポテンシャル勾配(内部電界)を有している。

【0021】本発明構造におけるスイッチング動作時の逆回復時間は、擬似P領域によるコブ状ポテンシャル形成部分の形成により、従来構造のごとく、単に、ホールは陰極側へ、又、電子は陽極側に移動することにより、消滅する現象ではなく、特異な現象によって短縮することを発見した。(7)

【0022】即ち、P+半導体領域の深さ形成領域における伝導帯EC及び価電子帯EVに蓄積された各々のキャリアは逆極性に切り換わった直後の数nsec以内の短時間に強い内部電界に吸引され、電子は外部電界にさからってショットキ金属電極の方へ流れ、ホールはP+半導体領域内へ流れ込む。即ち、従来構造と異なり、ホールも電子も、それぞれ同一方向の電極金属に流れる期

5

間が存在する。そして、ショットキ接触電極金属内で電子及びホールが再結合して消滅する。この動作は電極金属に取り付けた電流計で観測することは困難であり、P+半導体領域の電荷の振るまいにより観測し得る。

【0023】以上の現象は、本発明構造である逆導電型半導体領域(P+)では含まれた一導電型半導体(N)の最短距離WNが $0 < WN \leq 2W_{bi}$ の範囲において生じる前記せる伝導帯と価電子帯のもち上がり現象によるものである。従って、 $0 < WN \leq 2W_{bi}$ の範囲で設計配分することにより、逆回復時間 $t_{rr}$ を通常のショットキ接触の領域からPIN接合の約 $1/8$ 以下の範囲の高速に調整設計し得るものである。このように、逆回復時間の短縮に利用されていた重金属によるライフタイムキラーの拡散等の必要がない。

【0024】本発明構造の他の実施例として、図9に高耐圧トランジスタの断面構造図、図10にSITのゲート部の断面構造図を示し、同一符号は同一部分を示す。その他IGBTをはじめ各種の半導体装置に利用できる。

【0025】導電型の等価的変換をはじめ、本発明の構造要件を満足するならば、いずれの変形、付加、変換等の変更を行っても本発明の範囲に含まれるものである。

【0026】

【発明の効果】(8)以上、説明したごとく、本発明の半導体装置は特に、低損失、高耐圧、かつ高速の特性を得ることができ、パワー用をはじめ各種の産業機器に利用される整流素子、トランジスタ、スイッチ素子等の半導体装置として広く適用でき、その効果きわめて大なるものである。

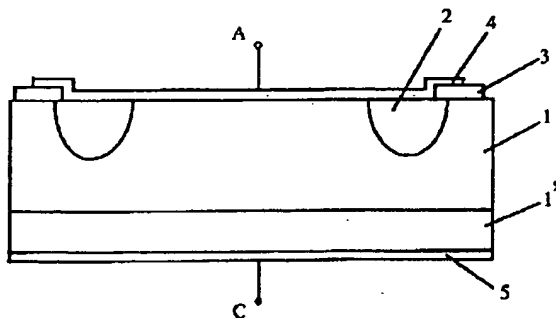
【図面の簡単な説明】

【図1】従来の半導体装置の断面構造図である。

【図2】本発明の実施例を示した断面構造図である。

【図3】本発明の他の実施例を示した断面構造図である。

【図1】



6

【図4】逆方向特性図である。

【図5】順方向特性図である。

【図6】スイッチング特性図である。

【図7】

【図8】電子ポテンシャルダイアグラムである。

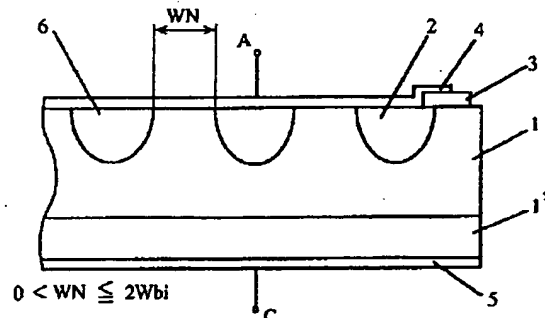
【図9】本発明を高耐圧トランジスタに実施した断面構造図である。

【図10】本発明をSITのゲート部に実施した断面構造図である。

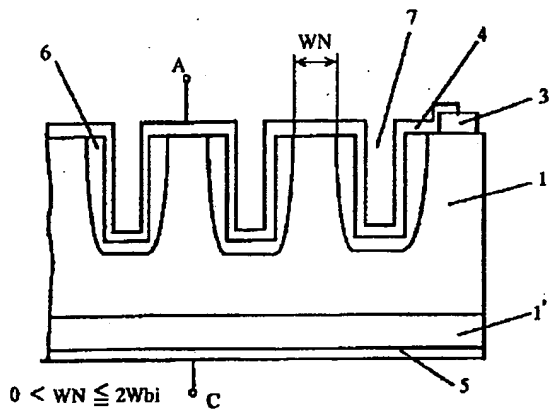
# 10. 【符号の説明】

- |          |                                   |
|----------|-----------------------------------|
| 1        | 一導電型半導体 (例えば、N型)                  |
| 1'       | 高濃度一導電型半導体 (例えば、N+型)              |
| 2        | ガードリング領域 (例えばP+型)                 |
| 3        | 絶縁膜                               |
| (9) 4    | 電極                                |
| 5        | オーミック電極                           |
| 6        | 逆導電型半導体領域 (例えば、P+型)               |
| 7        | 凹部                                |
| A        | 陽極                                |
| C        | 陰極                                |
| WN       | 6では含まれた1の最短距離                     |
| $W_{bi}$ | 1と6の比抵抗で決まる零電位の空乏層幅               |
| $\phi_M$ | 1と4によるショットキ接触電位                   |
| $\phi_N$ | 1と4のみの構成により生じる1内の伝導帯ポテンシャル        |
| $\phi_X$ | 6では含まれた1内の伝導帯ポテンシャル               |
| VF       | 順方向電圧                             |
| IF       | 順方向電流                             |
| VR       | 逆方向電圧                             |
| IR       | 逆方向電流                             |
| a        | 本発明実施例 $\phi_M \geq \phi_X$ の特性曲線 |
| b        | 本発明実施例 $\phi_M < \phi_X$ の特性曲線    |
| Ec       | 伝導帯                               |
| EV       | 価電子帯                              |

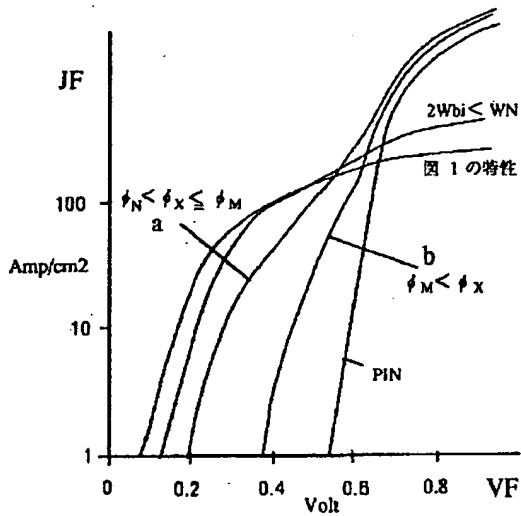
【図2】



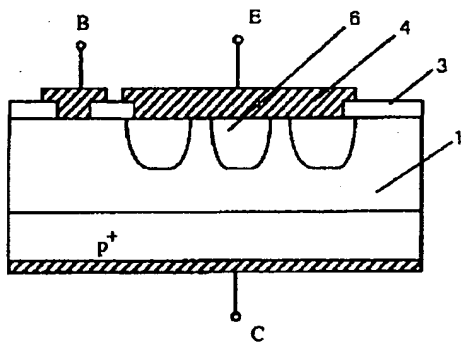
【図3】



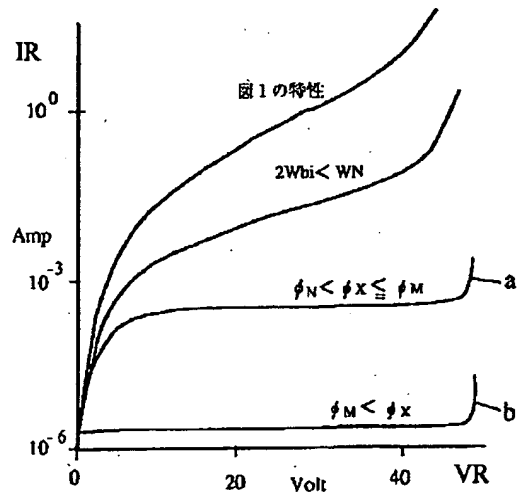
【図5】



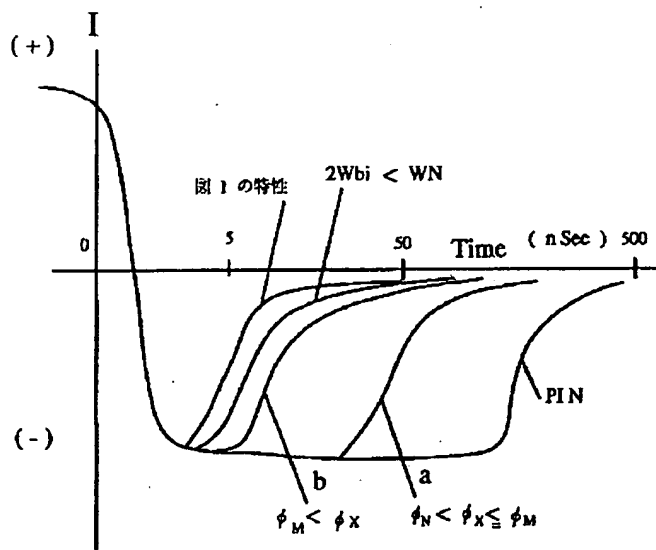
【図9】



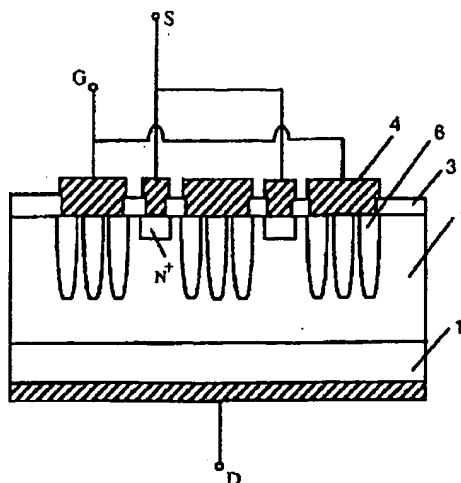
【図4】



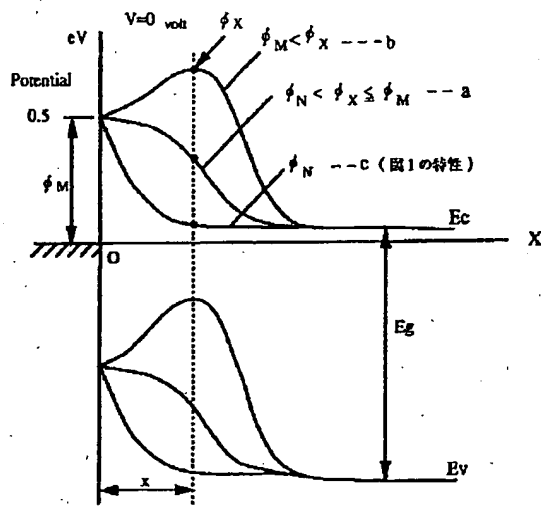
【図6】



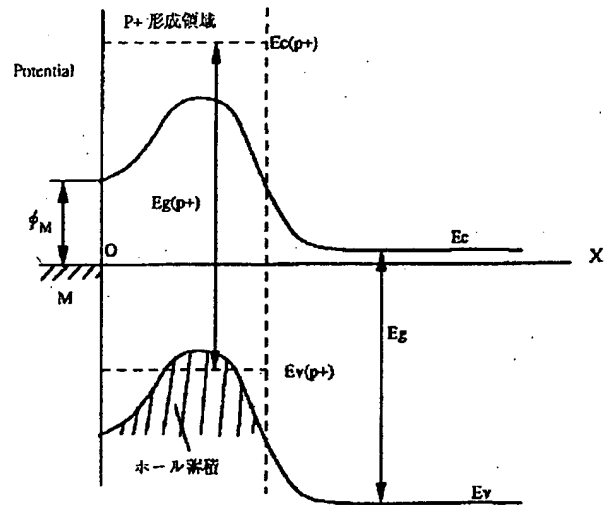
【図10】



【図7】



【図8】



フロントページの続き

(51) Int. Cl.<sup>5</sup>

H 0 1 L 21/338

29/812

識別記号

庁内整理番号

F 1

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**